

PLL CIRCUIT AND DESIGN METHOD THEREOF

Patent number: JP2004040227
Publication date: 2004-02-05
Inventor: FUJIWARA GENICHI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H03L7/085; H03L7/08; (IPC1-7): H03L7/085
- european:
Application number: JP20020191069 20020628
Priority number(s): JP20020191069 20020628

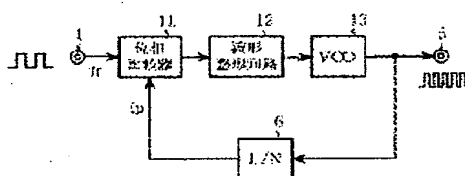
Report a data error here

Abstract of JP2004040227

PROBLEM TO BE SOLVED: To provide a PLL circuit for attaining a high lockup speed at a low cost, that is, with a simple configuration.

SOLUTION: The PLL circuit is provided with a phase comparator 11 for outputting a rectangular wave signal whereby the time width of a high voltage level rectangular wave signal is equal to the width of a low voltage level rectangular wave signal when a time difference between the time width of the high voltage level rectangular wave signal and the time width of the low voltage level rectangular wave signal in an output signal resulting from conducting phase comparison is proportional to a phase difference and no phase difference exists. The PLL circuit eliminates the need for a loop filter having conventionally been required, and a waveform shaping circuit 12 acting like keeping a rectangular shape to the output signal waveform from the phase comparator 11 is provided on which the loop filter of the conventional PLL circuit has been mounted.

COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-40227

(P2004-40227A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

H03L 7/085

F1

H03L 7/08

A

テーマコード(参考)

5J106

審査請求 未請求 請求項の数 4 OL (全 12 頁)

(21) 出願番号

特願2002-191069(P2002-191069)

(22) 出願日

平成14年6月28日(2002.6.28)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100066474

弁理士 田澤 博昭

(74) 代理人 100088605

弁理士 加藤 公延

(72) 発明者 藤原 玄一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

Fターム(参考) 5J106 AA04 CC01 CC26 CC27 CC52

DD01 JJ02 KK03 KK36 KK39

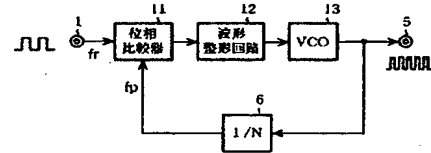
(54) 【発明の名称】 PLL回路およびその設計方法

(57) 【要約】

【課題】低コストで、即ち簡単な構成で、ロックアップの高速化が図れるPLL回路を得る。

【解決手段】位相比較を実行した出力信号が、高電圧レベル矩形波信号の時間幅と、低電圧レベル矩形波信号の時間幅との時間差が、位相差に比例しており、位相差なしの場合、高電圧レベルと低電圧レベルの矩形波信号時間幅が等しくなる位相比較器11を装備し、従来必要とされてきたループフィルタを省略し、従来のPLL回路でループフィルタが搭載されていた部分に位相比較回路11からの出力信号波形が矩形を保持するように働く波形整形回路12を装備したPLL回路。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基準クロック信号と比較クロック信号との位相比較をその基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルとの2値のみで中間値を持たない矩形波信号で、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差が位相差に比例しており、位相差なしの場合にそれらの時間幅が等しくなるような矩形波信号を出力する位相比較器と、

基準クロック信号の周期毎に、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差に応じて出力クロック信号の位相調整を実行する電圧制御発振器とを備え、

上記電圧制御発振器から出力される出力クロック信号をN分周（Nは自然数）した比較クロック信号として上記位相比較器に帰還することを特徴とするPLL回路。

10

【請求項 2】

位相比較器から出力される矩形波信号のオーバシュートおよびアンダーシュートを除去すると共に、高電圧レベルおよび低電圧レベルを一定にし、電圧制御発振器に出力する波形整形回路を備えたことを特徴とする請求項1記載のPLL回路。

【請求項 3】

電圧制御発振器は、波形整形回路から出力される矩形波信号の高電圧レベルおよび低電圧レベルの中間値が周波数制御可能な電圧範囲の中間値に設定され、その中間値を原点とする電圧一周波数特性が奇関数となるようにしたことを特徴とする請求項2記載のPLL回路。

20

【請求項 4】

請求項1記載のPLL回路の応答に、数列によって表現された数式モデルを用いたことを特徴とするPLL回路の設計方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、基準クロック信号と比較クロック信号との位相比較に応じた出力クロック信号を発生するPLL回路およびその設計方法に関するものである。

【0002】**【従来の技術】**

正弦波位相比較特性を持つ位相比較器による1次PLL回路の動作解析により、位相比較器出力を、ループフィルタを通してから、VCOに入力する2次PLL回路が主流であり、現在、実用回路に用いられているPLL回路のほとんどが2次PLL回路である。また、その位相制御は、常時、位相比較を行うことによるリアルタイム制御を前提にして設計されている。

【0003】

図6は例えば『実用PLL周波数シンセサイザ（総合電子出版社、1995年3月10日）』に示された従来のPLL回路を示す構成図であり、図において、1は基準クロック信号入力端子、2は位相比較器、3はループフィルタ、4はVCO、5は出力クロック信号出力端子、6はクロック分周器である。

30

40

【0004】

次に動作について説明する。

基準クロック信号入力端子1から入力された基準クロック信号 f_r は、位相比較器2に入力される。また、VCO4から出力される出力クロック信号の周波数が、基準クロック信号 f_r の周波数のN倍（Nは自然数）とした時、VCO4からの出力クロック信号は、クロック分周器6で $1/N$ に分周され、それを比較クロック信号 f_p として、位相比較器2に帰還する。次に、位相比較器2では、入力された基準クロック信号 f_r と比較クロック信号 f_p との位相比較を常時実行し、その位相差に合わせてリアルタイムに変動する信号が位相差検出信号として出力され、次のループフィルタ3に出力される。ループフィルタ

50

3では、その位相差検出信号に対して種々の特性変更を加えた後、VCO4への周波数制御電圧として出力される。VCO4は、入力され続ける周波数制御電圧に従ってリアルタイムに周波数変動する出力クロック信号を出力する。この出力クロック信号は、1つはPLL回路からの出力として、出力クロック信号出力端子5から外部に出力され、もう一方は、分岐してクロック分周器6に入力され、1/N分周された比較クロック信号 f_p として、再び位相比較器2にフィードバックされる。

【0005】

さて、ループフィルタ3には、よく使用されるものに、ラグ型、ラグリード型、完全積分型があるが、基本的には何れも積分回路であり、図7は完全積分型のループフィルタを示す回路図である。

10

また、位相比較器についても様々あり、図8はEX-OR回路による位相比較器の基本動作を示すタイミングチャート、図9は位相周波数比較器型による位相比較器の基本動作を示すタイミングチャート、図10はR-Sフリップフロップ型による位相比較器の基本動作を示すタイミングチャートである。各々の位相差検出信号出力は、順にPCa, PCb, PCcである。何れも非常によく使用されるもので、IC化されているPLL回路の位相比較器のほぼ全てがこれらを用いたものである。その中でも特に使用されるのが図9に示した位相差検出信号出力PCbである。

図11は位相周波数比較器型による位相比較器を示す回路図およびチャージポンプの位相差-エネルギー特性を示す特性図である。図9に示した位相周波数比較器型による位相比較器では、位相差検出信号の出力部には、この図11に示すチャージポンプが使用される。また、図12はVCO4の入力電圧-出力周波数特性を示す特性図であり、この図12に示す通り、線形な特性である。

20

【0006】

【発明が解決しようとする課題】

従来のPLL回路は以上のように構成されているので、ロックアップ時間が大きく、例えば、PHSにおけるTDMA-TDD方式で基地局に要求されるロックアップ時間625 μ secや、子機に要求されるロックアップ時間4.375msecを満足するためには、ループフィルタ、基準クロック、およびチャージポンプに改良を加えなければならず、回路規模の増大とコストアップを招いている。あるいは、高速ロックアップ化への別の対応として、DSPを用いてデジタル信号処理型PLLを使用することもあるが、DSP周辺回路とのインタフェースが必要となり、回路規模は然程小さくならないし、DSPに搭載するS/W開発が必須となるのでコスト的にも大きくなる。

30

即ち、ロックアップ時間が大きく、ロックアップの高速化も低コストでは実現できないという課題があった。

【0007】

また、PLL回路の位相比較器2においては、図8に示したEX-OR回路による位相比較器では、基準クロック信号 f_r と比較クロック信号 f_p との両方のクロック信号ともデューティ比が丁度50%でなければ位相誤差を生じてしまうという課題があった。

図10に示したR-Sフリップフロップ型による位相比較器では、基準クロック信号 f_r と比較クロック信号 f_p との入力タイミングによって、R-Sフリップフロップの禁止入力となってしまう場合があり、この時、出力は不定状態となって、位相比較器が異常動作するという課題があった。

40

図9のに示した位相周波数比較器型による位相比較器では、位相差検出信号が位相差に比例したパルス幅を持つパルス信号で、それ以外ではハイインピーダンスを保たねばならず、そのために位相差検出信号の出力段に図11に示したようなチャージポンプ回路が必要となる。ところが、チャージポンプ回路は、図11右側に示したような不感帯領域を作り易く、そのために位相差0付近でのクロック周波数が不安定になるという課題があった。

【0008】

さらに、ループフィルタ3は、基本的に積分回路構成を持つことから、位相比較器2から出力される矩形波の位相差検出信号によって生成される積分成分が消えずに残る。これを打

50

ち消すためには、次の、あるいはその次の位相差検出信号入力によって新たに生成される積分成分が、これと逆極性であることが必要となる。しかしながら、ループフィルタ3では、位相差検出信号が入力される度に、次々、新たな積分成分が生成され、例えば基準クロック信号 f_r と比較クロック信号 f_p との位相差が0であろうとも、VCO4の制御電圧信号は直ちに0とはならず、そのためには、基準クロック信号 f_r と比較クロック信号 f_p との位相差が0であることと同時に、位相差発生以来、ループフィルタ出力に生成され続けた積分成分の総和が0になることが必要になるという課題があった。

【0009】

また、VCO4の電圧対周波数変化特性は、図12のように線形であることを前提に設計されているが、実際のVCOは、電圧対周波数変化特性が線形にはなっておらず、その特性が非線形となる電圧制御領域では、設計どおりに回路が動作しないという課題があった

。従って、従来のPLL回路では、性能を上げるためには、電圧対周波数変化特性の線形な範囲が広いVCOを使用する必要があるが、そのようなVCOは高価なので、延いてはPLL回路全体のコストアップになってしまう課題があった。また、従来のPLL回路では、伝達関数によって表現された数式モデルを用いているので、回路の応答解析が複雑で、しかも非線形要素がそこに含まれると解析的には解法できず、実際の回路動作とのずれが大きいという課題があった。

【0010】

この発明は上記のような課題を解決するためになされたもので、低コストで、即ち簡単な構成で、ロックアップの高速化が図れるPLL回路を得ることを目的とする。

また、この発明は回路の応答解析が容易で高性能なPLL回路を設計可能なPLL回路の設計方法を得ることを目的とする。

【0011】

【課題を解決するための手段】

この発明に係るPLL回路は、位相比較を基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルとの2値のみで中間値を持たない矩形波信号で、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差が位相差に比例しており、位相差なしの場合にそれらの時間幅が等しくなるような矩形波信号を出力する位相比較器と、基準クロック信号の周期毎に、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差に応じて出力クロック信号の位相調整を実行する電圧制御発振器とを備えたものである。

【0012】

この発明に係るPLL回路は、位相比較器から出力される矩形波信号のオーバシュートおよびアンダーシュートを除去すると共に、高電圧レベルおよび低電圧レベルを一定にし、電圧制御発振器に出力する波形整形回路を備えたものである。

【0013】

この発明に係るPLL回路は、電圧制御発振器を、波形整形回路から出力される矩形波信号の高電圧レベルおよび低電圧レベルの中間値が周波数制御可能な電圧範囲の中間値に設定し、その中間値を原点とする電圧一周波数特性が奇関数となるようにしたものである。

【0014】

この発明に係るPLL回路の設計方法は、基準クロック信号の1周期分の位相差を1つの計量単位とした数列によって表現された数式モデルを用いたものである。

【0015】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1によるPLL回路を示す構成図であり、図において、1は基準クロック信号入力端子である。

11は基準クロック信号 f_r と比較クロック信号 f_p との位相比較をその基準クロック信

号 f_r の周期毎に実行し、高電圧レベルと低電圧レベルとの2値のみで中間値を持たない矩形波信号で、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差が位相差に比例しており、位相差なしの場合にそれら時間幅が等しくなるような矩形波信号を出力する位相比較器、12は矩形波信号のオーバーシュートおよびアンダーシュートを除去すると共に、高電圧レベルおよび低電圧レベルを一定にする波形整形回路、13は電圧対周波数変化特性が任意の奇関数で、波形整形回路12から出力される矩形波信号の高電圧レベルおよび低電圧レベルの中間値が周波数制御可能な電圧範囲の中間値に設定され、基準クロック信号 f_r の周期毎に、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差に応じて出力クロック信号の位相調整を実行するVCO（電圧制御発振器）、5は出力クロック信号出力端子、6は出力クロック信号をN分周（Nは自然数）し、比較クロック信号 f_p として位相比較器11に帰還するクロック分周器である。

図2はこの発明の実施の形態1による波形整形回路の詳細を示す構成図であり、図において、12a、12bは電源 V_{cc} およびグランドGND間に逆極性で直列接続された定電圧ダイオードである。

図3はこの発明の実施の形態1によるVCOの入力電圧－出力周波数特性を示す特性図である。VCO13の電圧対周波数変化特性は、図3に示す通りで、この出力周波数 f_o からの変化分 g は、入力電圧から $V_{cc}/2$ を引いた値 v の関数 $g(v)$ となるとすると、この関数は奇関数なので、

$$g(-v) = -g(v) \quad (1)$$

を満たしている。また、これより、

$$\begin{aligned} g(V_{cc} - V_{cc}/2) &= -g(GND - V_{cc}/2) \\ &= g(V_{cc}/2) = df \end{aligned} \quad (2)$$

となることが明らかである。

また、波形整形回路12からVCO13に入力される矩形波信号の高電圧レベル V_H と低電圧レベル V_L と $V_{cc}/2$ との関係は、

$$|V_H - V_{cc}/2| = |V_L - V_{cc}/2| = V \text{ (定数)} \quad (3)$$

であるように調整されている。従って、

$$\begin{aligned} |g(V_H - V_{cc}/2)| &= |g(V_L - V_{cc}/2)| \\ &= g(V) = G \text{ (定数)} \end{aligned} \quad (4)$$

である。なお、定常状態での周波数の関係は、 $f_o = N \times f_r$ 、 $f_r = f_p$ である。

図4はこの発明の実施の形態1による位相比較器の基本動作を示すタイミングチャートである。

図5はこの発明の実施の形態1によるPLL回路の作用を示す波形図である。

【0016】

次に動作について説明する。

図1において、まず、基準クロック信号入力端子1より入力された基準クロック信号 f_r は、位相比較器11に出力される。また、VCO13からの出力クロック信号は、クロック分周器6で $1/N$ に分周され、それを比較クロック信号 f_p として、位相比較器11に出力される。

次に、位相比較器11では、入力された基準クロック信号 f_r と比較クロック信号 f_p との位相比較を実行し、その位相差に合わせて、高電圧レベル矩形波信号の時間幅と、低電圧レベル矩形波信号の時間幅との時間差が、位相差に比例した矩形波を位相差検出信号として出力する。この出力は、次の波形整形回路12の入力となる。波形整形回路12では、その位相差検出信号のオーバーシュートやアンダシュートを除去し、高電圧レベルと $V_{cc}/2$ との電位差と、低電圧レベルと $V_{cc}/2$ との電位差とが等しい矩形波に整形した後、VCO13への周波数制御電圧としてVCO13に出力される。VCO13に入力された周波数制御電圧の基準クロック信号 f_r の1周期分には、この1周期の間に付加ある

いは削減すべき位相量が、高電圧レベル矩形波信号の時間幅と、低電圧レベル矩形波信号の時間幅との時間差として読取ることができて、それにしたがって位相調整する。VCO 13から出力されるクロック信号は、1つはPLL回路からの出力として、出力クロック信号出力端子5から外部に出力され、もう一方は、分岐してクロック分周器6に出力され、 $1/N$ 分周された比較クロック信号 f_p として、再び位相比較器11にフィードバックされる。

【0017】

この実施の形態1に係るPLL回路は、位相比較器11の出力を波形整形回路12を通してからVCO13に出力しているが、波形整形回路12には積分回路の要素が全くないので、この出力に残留成分も全く含まれない。したがって、基準クロック信号 f_r の1周期毎の位相調整量は、他の周期のそれとは全く独立に決定され、影響を受けない。即ち、位相比較器11で位相差0と検出されれば、直ちに位相調整量も0となるのである。これにより、ロックアップ時間が短くなることが予測できる。

さて、この実施の形態1では、PLLとしての動作を伝達関数で記述するのではなく、基準クロック信号 f_r の1周期分の位相調整量の数列として扱う。例えば、位相比較器11で比較クロック信号 f_p が基準クロック信号 f_r より θ だけ位相が進んでいるのを検出した場合、その検出信号波形は図5に示した通りとなる。ここで、 $V_{cc}/2$ の位置を基準線として、この波形の高電圧レベル部分と低電圧レベル部分とを見た時、図3に示したVCO特性から、図5に示すように、高電圧レベル部分は位相を進める要素、低電圧レベル部分は位相を遅らせる要素となる。図5から明かなように、 θ の位相進みを検出した場合は、基準クロック信号 f_r の1周期 T の間で見た場合、位相遅れ要素の方が大きく、 T 全体では位相進め要素との差引きで、位相を θ に比例した量だけ遅らせることになる。

【0018】

これらの回路動作を定量的に記述するモデルを作った。

時刻 $t=0$ における f_r と f_p との位相差を θ とすると、時刻 $t>0$ における位相差 $\Phi(t)$ は次式(5)で与えられる。

【数1】

$$\Phi(t) = \theta - \frac{1}{N} \cdot \int_0^t g(v(z)) dz \quad (5)$$

30

ところで、時刻 $t = (n-1)T$ における f_r と f_p との位相差を θ_{n-1} として、 $(n-1)T < t < nT$ の間に、VCO13に入力される電圧 $v(t)$ は、ステップ関数 $U(t)$

【数2】

$$U(t) = \begin{cases} 1, & t > 0 \\ 0, & t < 0 \end{cases} \quad (6)$$

40

を用いて、 $\tau_n = (n-1)T + (T/2) - (\theta_{n-1}/2\pi)T$ とすると、次式(7)となる。

【数3】

$$\begin{aligned}
 v(t) &\doteq \left(V_H - \frac{V_{CC}}{2}\right) \cdot U[t - (n-1)T] - \left(V_H - \frac{V_{CC}}{2}\right) \cdot U(t - \tau_n) \\
 &\quad + \left(V_L - \frac{V_{CC}}{2}\right) \cdot U(t - \tau_n) = V \{U(t - (n-1)T) - 2U(t - \tau_n)\}
 \end{aligned}
 \tag{7}$$

10

これは、
【数4】

$$v(t) = \begin{cases} V, & (n-1)T < t \leq \tau_n \\ -V, & \tau_n < t \leq nT \end{cases}
 \tag{8}$$

と同値である。

$g(v)$ に上記 $v(t)$ を代入して、 g を時間 t の関数に変換すると、
【数5】

20

$$g(t) = \begin{cases} g(V) = G, & (n-1)T < t \leq \tau_n \\ g(-V) = -g(V) = -G, & \tau_n < t \leq nT \end{cases}
 \tag{9}$$

従って、 $(n-1)T < t \leq nT$ における周波数変化量 $g(t)$ は、次式 (10) となる。

$$g(t) = G \{U(t - (n-1)T) - 2U(t - \tau_n)\}
 \tag{10}$$

30

これを用いて、 $t = nT$ の時の位相差 θ_n が計算できて、
【数6】

$$\begin{aligned}
 \theta_n &= \Phi(nT) \\
 &= \theta - \frac{C}{N} \cdot \left[\sum_{k=1}^{n-1} \int_{(k-1)T}^{kT} [U[t - (k-1)T] - 2 \cdot U(t - \tau_k)] dt \right] \\
 &\quad - \frac{C}{N} \cdot \int_{(n-1)T}^{nT} [\{U\{t - (n-1)T\}\} - 2U(t - \tau_n)] dt \\
 &= \theta_{n-1} - \frac{C}{N} \cdot \int_{(n-1)T}^{nT} [U[t - (n-1)T] - 2U(t - \tau_n)] dt
 \end{aligned}
 \tag{11}$$

40

この式の定積分を計算すると、
【数7】

$$\theta_n = \left(1 - \frac{C \cdot T}{N\pi}\right) \theta_{n-1} \quad (12)$$

という等比数列を表す漸化式になる。

従って、次式(13)が、周期T毎の位相差変化を表す数式モデルとなる。

【数8】

$$\theta_n = \theta \cdot \left(1 - \frac{C \cdot T}{N\pi}\right)^n \quad (13)$$

ところで、この数列の収束条件が、この実施の形態1のPLL回路のロックアップ条件でもあり、

$$0 < GT/N\pi < 2 \quad (14)$$

でなければならない。

逆に、上記条件を満足すれば、初期(時刻 $t=0$)位相差 θ がいかなる値であろうとも、必ずロックアップすることを意味している。

また、これにより $GT/N\pi=1$ の場合は、1周期で位相差0となることが分かる。つまり、この実施の形態1の数式モデルを用いれば、PLL回路のステップ位相入力に対する応答動作が把握でき、さらに、ロックアップ時間の設計も可能となる。

【0019】

以上のように、この実施の形態1によれば、簡単な回路構成で、即ち、低コストで高速ロックアップ可能なPLL回路を得ることができる。

しかも、ループフィルタがないので、設計も簡単になり、設計コストも低減できる。

また、ロックアップ条件 $|\theta_n| < \epsilon$ (ϵ はPLL回路がロックアップしたと見なす位相差で、PLL回路を利用する装置によって決定される)が決まれば、これを満たす n からロックアップ時間も直ちに算出可能で、 $n \times T$ である。

さらに、位相比較器11から波形整形回路12、波形整形回路12からVCO13の間では、信号がハイインピーダンス状態とならないのでノイズの影響を受けにくく、ノイズに強いPLL回路を得ることができる。

【0020】

【発明の効果】

以上のように、この発明によれば、位相比較を基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルとの2値のみで中間値を持たない矩形波信号で、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差が位相差に比例しており、位相差なしの場合にそれらの時間幅が等しくなるような矩形波信号を出力する位相比較器と、基準クロック信号の周期毎に、高電圧レベル矩形波信号の時間幅と低電圧レベル矩形波信号の時間幅との時間差に応じて出力クロック信号の位相調整を実行する電圧制御発振器とを備えるように構成したので、位相比較器からの出力をループフィルタを用いずに電圧制御発振器に入力しており、積分回路の要素が全くないので、この出力に残留成分も全く含まれない。したがって、基準クロック信号の周期毎の位相調整量は、他の周期のそれとは全く独立に決定され、影響を受けない。即ち、位相比較器で位相差なしと検出されれば、直ちに位相調整量も0となる。これにより、低コストで、即ち、簡単な構成でロックアップの高速化が図れるPLL回路が得られる効果がある。

【0021】

この発明によれば、従来のPLL回路の構成で必要だったループフィルタの代わりに、位相比較器から出力される矩形波信号のオーバershootおよびアンダーシュートを除くすると共に、高電圧レベルおよび低電圧レベルを一定にする波形整形回路を備えるように構成したので、回路設計がループフィルタに比べて非常に容易で、しかも回路構成も簡単なため、設計コスト、部品コストとも低コストでロックアップ時間の短いPLL回路が得られる効果がある。

【0022】

この発明によれば、電圧制御発振器を、波形整形回路から出力される矩形波信号の高電圧レベルおよび低電圧レベルの中間値が周波数制御可能な電圧範囲の中間値に設定し、この中間値を原点とする電圧-周波数特性（電圧対周波数変化特性）が奇関数となるように構成したので、実際の電圧制御発振器の特性とも合致し、回路設計においては、設計値と実回路とのずれが小さく、しかも電圧制御発振器の特性が非線形となる電圧範囲も使用可能になるので、設計の自由度が増して、設計が容易になる。さらに、回路構成においても、高価な特性の線形範囲が広い電圧制御発振器を使用しなくても良くなる。このように、設計コスト、部品コストとも低コストで、ロックアップ時間の短いPLL回路が得られる効果がある。

【0023】

この発明によれば、PLL回路の応答に、数列によって表現された数式モデルを用いるように構成したので、電圧制御発振器への入力信号が矩形波であり、また、電圧制御発振器の電圧対周波数変化特性が任意の奇関数であるような非線形な要素で構成されたPLL回路であっても、線形近似等の手法を採らずに応答動作を把握でき、ロックアップ時間設計も容易になり、しかも、実回路との動作のずれも小さいので、実回路を使った設計値調整作業も少なく済む。さらに、ループフィルタを外したPLL回路であっても動作に問題無いことを理論的に立証し、回路構成を簡素化する可能性を示している。このように、数式モデルを用いた設計方法によって、設計コスト、部品コストとも低コストで、ロックアップ時間の短いPLL回路が得られる効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるPLL回路を示す構成図である。

【図2】この発明の実施の形態1による波形整形回路の1構成例の詳細を示す構成図である。

【図3】この発明の実施の形態1によるVCOの入力電圧-出力周波数特性を示す特性図である。

【図4】この発明の実施の形態1による位相比較器の基本動作を示すタイミングチャートである。

【図5】この発明の実施の形態1によるPLL回路の作用を示す波形図である。

【図6】従来のPLL回路を示す構成図である。

【図7】完全積分型のループフィルタを示す回路図である。

【図8】EX-OR回路による位相比較器の基本動作を示すタイミングチャートである。

【図9】位相周波数比較器型による位相比較器の基本動作を示すタイミングチャートである。

【図10】R-Sフリップフロップ型による位相比較器の基本動作を示すタイミングチャートである。

【図11】位相周波数比較器型による位相比較器を示す回路図およびチャージポンプの位相差-エネルギー特性を示す特性図である。

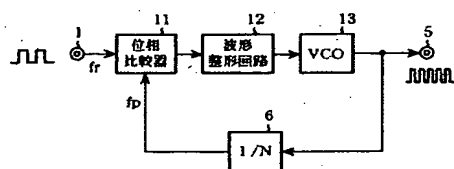
【図12】従来のPLL回路によるVCOの入力電圧-出力周波数特性を示す特性図である。

【符号の説明】

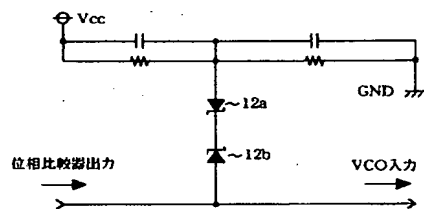
1 基準クロック信号入力端子、5 出力クロック信号出力端子、6 クロック分周器、11 位相比較器、12 波形整形回路、12a、12b 定電圧ダイオード、13 V

CO（電圧制御発振器）。

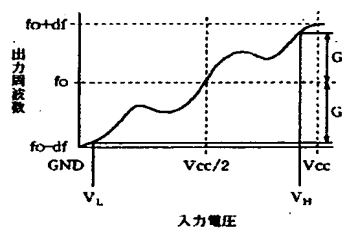
【図 1】



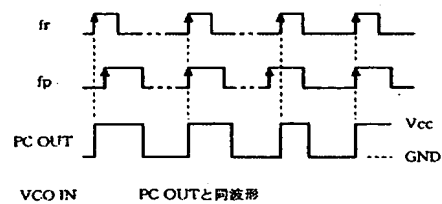
【図 2】



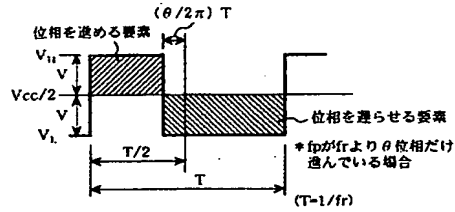
【図 3】



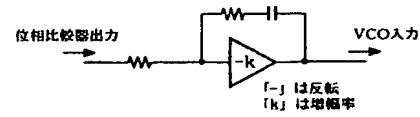
【図 4】



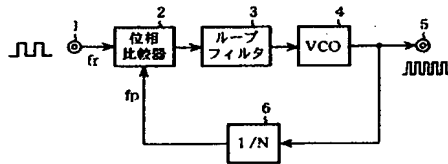
【図 5】



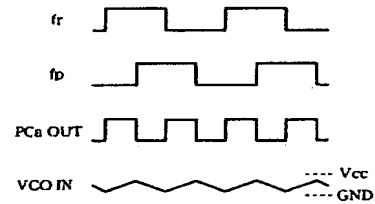
【図 7】



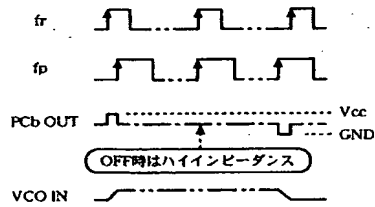
【図 6】



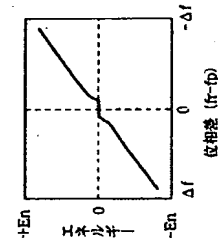
【図 8】



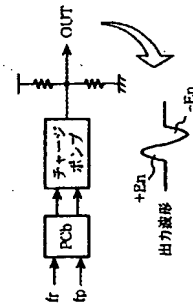
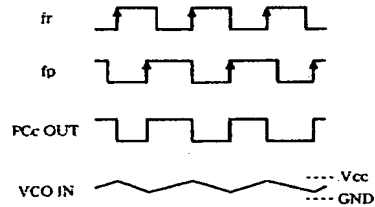
【図 9】



【図 11】



【図 10】



【図 1 2】

